

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125747

(43)Date of publication of application : 17.05.1996

(51)Int.Cl.

H04M 3/00

(21)Application number : 06-255784

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.10.1994

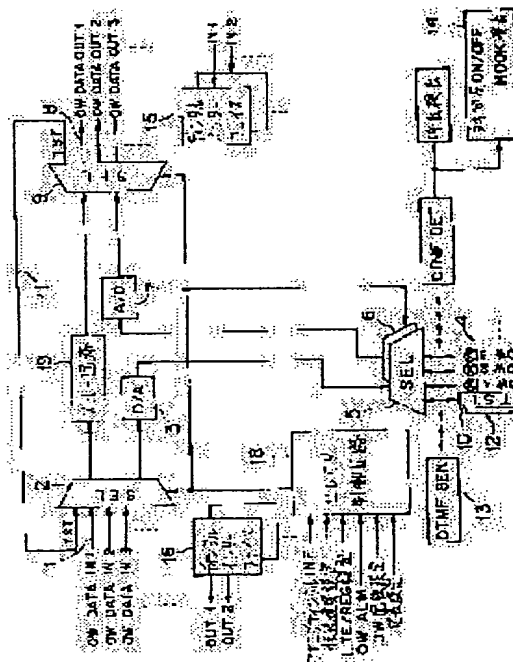
(72)Inventor : NAKAMURA AKIHISA
KIDENA MINORU
TANAKA HIRONOBU

(54) ORDER WIRE CIRCUIT

(57)Abstract:

PURPOSE: To increase a data amount transmitted in overhead by freely setting a device capable of accessing a specified order wire line by the changeover of respective selectors.

CONSTITUTION: An input line 1 transmits order wire data by digital data and a first selector 2 selectively outputs the order wire data of the input line 1. Then, a D/A converter 3 D/A converts the order wire data outputted from the first selector 2 and a second selector 5 selectively outputs the data from the D/A converter 3 to plural maintenance terminals 4. Also, a third selector 6 selectively outputs analog order wire data from the terminals 4 for maintenance and an A/D converter 7 A/D converts the analog order wire data from the plural terminals 4. Further, a forth selector 9 selectively outputs the data from the A/D converter 7 to an output line 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl.⁶

H 0 4 M 3/00

識別記号

庁内整理番号

E

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平6-255784
 (22) 出願日 平成6年(1994)10月20日

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中1015番地
 (72) 発明者 中村 晃久
 大阪府大阪市中央区城見2丁目2番6号
 富士通関西デジタル・テクノロジー株式会
 社内
 (72) 発明者 貴傳名 稔
 大阪府大阪市中央区城見2丁目2番6号
 富士通関西デジタル・テクノロジー株式会
 社内
 (74) 代理人 弁理士 真田 有

最終頁に続く

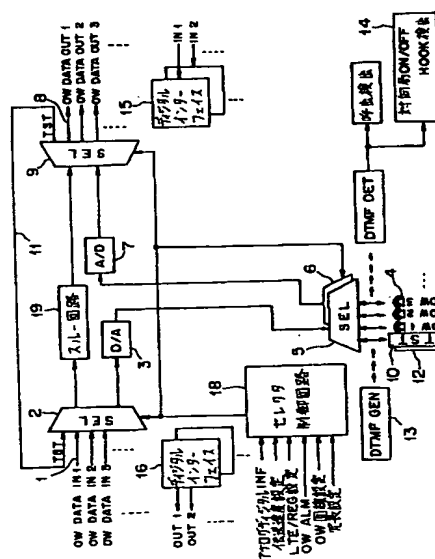
(54) 【発明の名称】 オーダーワイヤ回路

(57) 【要約】

【目的】 本発明は、保守用音声通話機能のため装備されるオーダーワイヤ回路に関し、独立したオーダーワイヤ (OW) 回線を複数設定できるようにして、オーバーヘッドにて伝送するデータ量を多くできるようにすることを目的とする。

【構成】 OWデータをデジタルデータで伝送する複数の入力ライン1に入力側を接続されると共に入力ライン1のOWデータを選択的に出力しうる第1セクタ2と、第1セクタ2の一方から出力されたOWデータをD/A変換するD/A変換器3と、D/A変換器3からのデータを複数の保守用端末4に選択的に出力する第2セクタ5と、保守用端末4からのアナログOWデータを選択的に出力する第3セクタ6と、第3セクタ6で選択的に出力された保守用端末4からのアナログOWデータをA/D変換するA/D変換器7と、A/D変換器7からのデジタルOWデータを入力としてOWデータをデジタルデータで伝送する複数の出力ライン8に選択的に出力する第4セクタ4とをそなえるように構成する。

本発明の原理ブロック図



【特許請求の範囲】

【請求項1】 オーダーワイヤデータをデジタルデータで伝送する複数の入力ラインに入力側を接続されるとともに、これらの入力ラインのオーダーワイヤデータを選択的に出力する第1セクタと、
 該第1セクタの一方から出力されたオーダーワイヤデータをデジタル／アナログ変換するデジタル／アナログ変換器と、
 該デジタル／アナログ変換器からのデータを複数の保守用端末に選択的に出力する第2セクタと、
 該複数の保守用端末からのアナログオーダーワイヤデータを選択的に出力する第3セクタと、
 該第3セクタで選択的に出力された該複数の保守用端末からのアナログオーダーワイヤデータをアナログ／デジタル変換するアナログ／デジタル変換器と、
 該アナログ／デジタル変換器からのデジタルオーダーワイヤデータを入力として、オーダーワイヤデータをデジタルデータで伝送する複数の出力ラインに選択的に出力する第4セクタとをそなえて構成されたことを特徴とする、オーダーワイヤ回路。

【請求項2】 該第3セクタの入力側に接続されたテスト信号発生部と、
 該第4セクタの出力側と該第1セクタの入力側とを接続して、該テスト信号発生部から該第3セクタ、該アナログ／デジタル変換器及び該第4セクタを経由してきたテスト信号を通すためのテスト回線と、
 該第2セクタの出力側に接続され、該テスト回線から該第1セクタ、該デジタル／アナログ変換器及び該第2セクタを経由してきたテスト信号を検出するテスト信号検出部とが設けられていることを特徴とする請求項1記載のオーダーワイヤ回路。

【請求項3】 該第3セクタの入力側に接続され、該保守用端末がオンフック又はオフフックになると、オンフック又はオフフックに対応した所望のダイヤル信号を発生するダイヤル信号発生部と、
 該第2セクタの出力側に接続され、保守用端末のオンフック又はオフフック状態とダイヤル信号とから保守用端末の使用／未使用状態を検出する端末使用／未使用検出部とが設けられたことを特徴とする請求項1記載のオーダーワイヤ回路。

【請求項4】 該第1セクタへ入力される該複数の入力ラインからのデジタルデータを取り出す第1デジタルインタフェースが設けられるとともに、
 デジタルデータを第4セクタの出力側の該複数の出力ライン側へ出力する第2デジタルインタフェースが設けられたことを特徴とする請求項1記載のオーダーワイヤ回路。

【請求項5】 該第1セクタが、該第1セクタに入力される該複数の入力ラインのデータ伝送速度よりも速い切替タイミングで切替動作することにより、該複数の

入力ラインのデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力するように構成されたことを特徴とする請求項1記載のオーダーワイヤ回路。

【請求項6】 該第4セクタが、該第4セクタから出力される該複数の入力ラインのデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを該複数の出力ラインに低速なパラレルデータとして出力するように構成されたことを特徴とする請求項1記載のオーダーワイヤ回路。

【発明の詳細な説明】

【0001】（目次）

産業上の利用分野

従来の技術（図5）

発明が解決しようとする課題

課題を解決するための手段（図1）

作用（図1）

実施例（図2～図4）

発明の効果

【0002】

【産業上の利用分野】本発明は、光通信を含めた伝送路において保守等に用いるべく、装置間の音声通話機能のため装備されるオーダーワイヤ回路に関する。このようなオーダーワイヤ（OW）回路では、一部の局を結ぶエクスプレスオーダーワイヤ（Express OW）と、全ての局を結ぶローカルオーダーワイヤ（Local OW）とが提供されており、それぞれ別個のオーバーヘッドバイト（OHB）が割り当てられている。

【0003】しかし、割り当てられたオーバーヘッドバイト（OHB）のうち一方を伝送装置間のOW機能に、残るもう一方を監視系装置間のOW機能に使用する場合、伝送装置間のOW機能においてはオーバーヘッドバイト（OHB）として1バイトのみを使用することになる。しかし、このような場合においても伝送装置間のOW回線を2回線以上用意する必要を生じることがある。

【0004】また、現状ではオーダーワイヤ回路自体の故障検出機能は装備されておらず、OW回線の使用表示も行なわれていない。さらに、OW通信においては、現状では2ワイヤ（2-Wire）または4ワイヤ（4-Wire）でのアナログインターフェイスしか利用されていないが、技術の進歩による通信手段の多様化に伴い、今後はパソコンやワードプロセッサ等を接続することが考えられる。

【0005】これらのデジタル信号で動作する機器を接続する場合、現状では送信側でデジタル信号をアナログ信号に（D/A）変換し、さらに受信側で再度アナログ信号をデジタル信号に（A/D）変換して用いる必要がある。そしてOW回線の1回線当たり伝送速度は64Kb/secであり、通常1台の装置には、予備を含めて複数の伝送線路が接続されるが、伝送速度の異なる

る機器を接続して伝送を行なうことはできない。

【0006】

【従来の技術】ここで、従来のオーダーワイヤ回路について説明すると、図5は従来のオーダーワイヤ回路を示す模式的ブロック図であり、このオーダーワイヤ回路はPDH装置(Plesious Digital Hierarchy)におけるOWユニットとして構成されたもので、図5において、101は入力ラインで、この複数の入力ライン101のそれぞれを通じOWデータが入力されるようになっている。

【0007】102はデジタル処理部で、このデジタル処理部102は入力されたデジタルデータに関し、各光インターフェイスユニットの冗長設定および各光インターフェイスユニットの状態・OWユニット内の設定により選択されたデータを処理し、出力するものである。103はデジタル/アナログ変換器で、このデジタル/アナログ変換器103はデジタル処理部102から入力されたシリアルデジタルデータをアナログデータに変換するものである。

【0008】104はアナログ処理部で、このアナログ処理部104はデジタル/アナログ変換器103からの出力と、電話機からのアナログ入力とを合わせた処理を行なうものである。105はアナログ/デジタル変換器で、このアナログ/デジタル変換器105はアナログ処理部104の出力をアナログ/デジタル変換し出力するものである。

【0009】106は出力ラインで、この出力ライン106からアナログ/デジタル変換器105からの出力がそれぞれ送出されるようになっている。107はアナログ入力ラインで、このアナログ入力ライン107は電話機等からのアナログ信号が入力されるようになっている。108はアナログ出力ラインで、このアナログ出力ライン108は電話機等へのアナログ信号が出力されるようになっている。

【0010】このような構成により、各光インターフェイスユニットに対するデータの平行送出が行なわれ、入力するOWデータについては、各光インターフェイスユニットの冗長設定および各光インターフェイスユニットの状態・OWユニット内の設定により選択されたデータのみが処理され、4-Wireおよび2-Wire信号として装置外部に出力される。

【0011】したがって、従来装置では、実装される光インターフェイスユニットからの送出光信号におけるOWデータは全てのユニットにおいて同じものとなり、また光インターフェイスユニットの受信光信号におけるOWデータはOWユニット内にて選択されたもののしか装置外部にインターフェイスされないため、OW回線は1シェルフにアナログでインターフェイスされるものが1本しかなく、オーバーヘッドバイト(OHB)を用いることからD/A、A/D変換におけるデジタル信号の伝

送速度は64Kb/secと決められていた。

【0012】また、OW回線の使用・未使用およびOW回路の故障を検出することはできなかった。

【0013】

【発明が解決しようとする課題】しかしながら、このような従来の構成では次のような課題がある。

①オーバーヘッドバイト(OHB)が1バイトしかないため、OW回線が1本しか用意できない。

②OW回線が1本しかなく、しかも全ての装置がOWデータの装置外部への入出力機能をもつため、OW回線に接続されたくないところとも接続されてしまう。

【0014】③故障を検出できない。

④使用・未使用状態を検出できない。

⑤デジタルで動作している機器との接続の際、一旦D/A変換してアナログ信号で装置に入力し、OWユニット内でA/D変換しなければならない。

⑥伝送速度は64Kb/sec固定である。

【0015】本発明は、このような課題に鑑み創案されたもので、独立したOW回線を複数設定できるようにするとともに、故障を検出できるようにし、使用・未使用状態を検出できるようにし、D/A、A/Dを通らないデジタルインターフェイス回路を装備できるようにして、オーバーヘッドにて伝送するデータ量を多くできるようにした、オーダーワイヤ回路を提供することを目的とする。

【0016】

【課題を解決するための手段】図1は本発明の原理ブロック図で、この図1において、1は入力ラインで、この入力ライン1はオーダーワイヤデータをデジタルデータで伝送するように装備されている。2は第1セクタで、この第1セクタ2は複数の入力ライン1に入力側を接続されるとともに、これらの入力ライン1のオーダーワイヤデータを選択的に出力するように構成されている。

【0017】3はデジタル/アナログ変換器で、このデジタル/アナログ変換器3は、第1セクタ2の一方から出力されたオーダーワイヤデータをデジタル/アナログ変換するように構成されている。5は第2セクタで、この第2セクタ5はデジタル/アナログ変換器3からのデータを複数の保守用端末4に選択的に出力するように装備されている。

【0018】6は第3セクタで、この第3セクタ6は複数の保守用端末4からのアナログオーダーワイヤデータを選択的に出力するように構成されている。7はアナログ/デジタル変換器で、このアナログ/デジタル変換器7は第3セクタ6で選択的に出力された複数の保守用端末4からのアナログオーダーワイヤデータをアナログ/デジタル変換するように構成されている。

【0019】9は第4セクタで、この第4セクタ9はアナログ/デジタル変換器7からのデジタルオー

ダーワイヤデータを入力として、オーダーワイヤデータをデジタルデータで伝送する複数の出力ライン8に選択的に出力するように構成されている（以上が請求項1の構成要件）。また、本発明のオーダーワイヤ回路（請求項2）は、請求項1記載の回路につき、次のような構成をそなえている。

【0020】10はテスト信号発生部で、このテスト信号発生部10は第3セクタ6の入力側に接続されている。11はテスト回線で、このテスト回線11は、第4セクタ9の出力側と第1セクタ2の入力側とを接続して、テスト信号発生部10から第3セクタ6、アナログ／デジタル変換器7及び第4セクタ9を経由してきたテスト信号を通すように構成されている。

【0021】12はテスト信号検出部で、このテスト信号検出部12は、第2セクタ5の出力側に接続され、テスト回線11から第1セクタ2、デジタル／アナログ変換器3及び第2セクタ5を経由してきたテスト信号を検出するように構成されている。さらに、本発明のオーダーワイヤ回路（請求項3）は、請求項1記載の回路につき、次のような構成をそなえている。

【0022】13はダイヤル信号発生部で、このダイヤル信号発生部13は、第3セクタ6の入力側に接続され、保守用端末4がオンフック又はオフフックになると、オンフック又はオフフックに対応した所望のダイヤル信号を発生するように構成されている。14は端末使用／未使用検出部で、この端末使用／未使用検出部14は、第2セクタ5の出力側に接続され、保守用端末4のオンフック又はオフフック状態とダイヤル信号とから保守用端末4の使用／未使用状態を検出するように構成されている。

【0023】そして、本発明のオーダーワイヤ回路（請求項4）は、請求項1記載の回路につき、次のような構成をそなえている。16は第1デジタルインタフェースで、この第1デジタルインタフェース16は、第1セクタ2へ入力される複数の入力ライン1からのデジタルデータを取り出すように構成されている。

【0024】15は第2デジタルインタフェースで、この第2デジタルインタフェース15は、デジタルデータを第4セクタ9の出力側の複数の出力ライン8側へ出力するように構成されている。また、本発明のオーダーワイヤ回路（請求項5）は、請求項1記載の回路につき、第1セクタ2が、第1セクタ2に入力される複数の入力ライン1のデータ伝送速度よりも速い切替タイミングで切替動作することにより、複数の入力ライン1のデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力するように構成されている。

【0025】さらに、本発明のオーダーワイヤ回路（請求項5）は、請求項1記載の回路につき、第4セクタ9が、第4セクタ9から出力される複数の出力ライン

8のデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを複数の出力ライン8に低速なパラレルデータとして出力するように構成されている。

【0026】なお、18は各セクタ2, 5, 6, 9を制御するセクタ制御回路であり、19は第1セクタ2と第4セクタ9とをつなぐスルー回路である。

【0027】

【作用】上述の本発明のオーダーワイヤ回路（請求項1）では、入力ライン1がオーダーワイヤデータをデジタルデータで伝送し、複数の入力ライン1に入力側を接続された第1セクタ2は、これらの入力ライン1のオーダーワイヤデータを選択的に出力する。そして、デジタル／アナログ変換器3が、第1セクタ2の一方から出力されたオーダーワイヤデータをデジタル／アナログ変換し、第2セクタ5はデジタル／アナログ変換器3からのデータを複数の保守用端末4に選択的に出力する。また、第3セクタ6は複数の保守用端末4からのアナログオーダーワイヤデータを選択的に出力し、アナログ／デジタル変換器7は第3セクタ6で選択的に出力された複数の保守用端末4からのアナログオーダーワイヤデータをアナログ／デジタル変換する。さらに、第4セクタ9はアナログ／デジタル変換器7からのデジタルオーダーワイヤデータを入力として、オーダーワイヤデータをデジタルデータで伝送する複数の出力ライン8に選択的に出力する。

【0028】また、本発明のオーダーワイヤ回路（請求項2）では、請求項1記載の回路の作用に加え、次のような作用を行なう。

【0029】すなわち、テスト信号発生部10が第3セクタ6の入力側に接続され、テスト回線11は、第4セクタ9の出力側と第1セクタ2の入力側とを接続して、テスト信号発生部10から第3セクタ6、アナログ／デジタル変換器7及び第4セクタ9を経由してきたテスト信号を通す。そして、テスト信号検出部12は、第2セクタ5の出力側に接続され、テスト回線11から第1セクタ2、デジタル／アナログ変換器3及び第2セクタ5を経由してきたテスト信号を検出する。

【0030】さらに、本発明のオーダーワイヤ回路（請求項3）では、請求項1記載の回路の作用に加え、次のような作用を行なう。すなわち、ダイヤル信号発生部13は、第3セクタ6の入力側に接続され、保守用端末4がオンフック又はオフフックになると、オンフック又はオフフックに対応した所望のダイヤル信号を発生する。

【0031】また、端末使用／未使用検出部14は、第2セクタ5の出力側に接続され、保守用端末4のオンフック又はオフフック状態とダイヤル信号とから保守用端末4の使用／未使用状態を検出する。そして、本発明

のオーダーワイヤ回路（請求項4）では、請求項1記載の回路の作用に加え、第1デジタルインタフェース16が、第1セクタ2へ入力される複数の入力ライン1からのデジタルデータを取り出すとともに、第2デジタルインタフェース15は、デジタルデータを第4セクタ9の出力側の複数の出力ライン8側へ出力する。

【0032】また、本発明のオーダーワイヤ回路（請求項5）では、請求項1記載の回路の作用に加え、第1セクタ2が、第1セクタ2に入力される複数の入力ライン1のデータ伝送速度よりも速い切替タイミングで切替動作することにより、複数の入力ライン1のデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力する。

【0033】さらに、本発明のオーダーワイヤ回路（請求項5）では、請求項1記載の回路の作用に加え、第4セクタ9が、第4セクタ9から出力される複数の出力ライン8のデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを複数の出力ライン8に低速なパラレルデータとして出力する。

【0034】

【実施例】以下、図面を参照して本発明の実施例を説明する。図2は本発明の一実施例を示すブロック図で、この図2において、1は入力ラインで、この入力ライン1はオーダーワイヤデータをデジタルデータで伝送するように装備されている。

【0035】2は第1セクタで、この第1セクタ2は複数の入力ライン1に入力側をそれぞれデマルチプレクサー24を介し接続されるとともに、これらの入力ライン1のオーダーワイヤデータを選択的に出力するように構成されている。3はデジタル／アナログ変換器で、このデジタル／アナログ変換器3は、第1セクタ2の一方から出力されたオーダーワイヤデータをデジタル／アナログ変換するように構成されている。

【0036】また、第1セクタ2の一方からは、後述の高速信号インターフェイス17へ向けての出力も行なわれるように構成されている。そして、第1セクタ2の他方から出力されたオーダーワイヤデータは、スルー回路19を通じ第4セクタ9へ出力されるように構成されており、オーダーワイヤデータが加工されることなく、そのまま第4セクタ9へ入力されるようになっている。

【0037】ところで、5は第2セクタであり、この第2セクタ5はアナログブリッジ20を介し保守用端末4に接続されており、デジタル／アナログ変換器3からのデータを複数の保守用端末4に選択的に出力するように構成されている。ここで、アナログブリッジ20は、インピーダンスマッチングにより所要のアナログレベルを得るように構成されており、保守用端末4が支障

無く動作するように構成されている。

【0038】6は第3セクタで、この第3セクタ6は複数の保守用端末4からのアナログオーダーワイヤデータを選択的に出力するように構成されている。7はアナログ／デジタル変換器で、このアナログ／デジタル変換器7は第3セクタ6で選択的に出力された複数の保守用端末4からのアナログオーダーワイヤデータをアナログ／デジタル変換するように構成されている。

10 【0039】9は第4セクタで、この第4セクタ9はアナログ／デジタル変換器7からのデジタルオーダーワイヤデータを入力として、オーダーワイヤデータをデジタルデータで伝送する複数の出力ライン8に選択的に出力するように構成されている。ここで、第4セクタ9と出力ライン8とはマルチプレクサ25を介し接続されており、第4セクタ9により出力ライン8ごとに分離した出力データのデジタル信号を、マルチプレクサ25により主信号に多重し、出力ライン8のそれぞれに出力されるように構成されている。

20 【0040】また、回路の故障を検出すべく次のような構成が設けられている。すなわち10はテスト信号発生部（TEST SIG. GEN. : Test signal Generator）で、このテスト信号発生部10は第3セクタ6の入力側に接続され、テスト用信号として、ある特定の周波数で所要出力レベルの正弦波を発生させるように構成されている。

30 【0041】テスト用信号は第3セクタ6における時分割動作によりアナログブリッジ20からのアナログ信号と一本化されるようになっている。そして、前述の第3セクタ6と第4セクタ9との接続関係により、テスト用信号と一本化されたアナログ信号は、アナログ／デジタル変換器7においてアナログ／デジタル変換されたのち第4セクタ9に入力されるように構成されており、第4セクタ9の動作により一本化されたアナログ信号からテスト用信号が分離されるように構成されている。

40 【0042】さらに11はテスト回線で、このテスト回線11は、第4セクタ9の出力側と第1セクタ2の入力側とを接続して、テスト信号発生部10から第3セクタ6、アナログ／デジタル変換器7及び第4セクタ9を経由してきたテスト信号を通すように構成されている。12はテスト信号検出部（TEST SIG. LEVEL CHECK）で、このテスト信号検出部12は、第2セクタ5の出力側に接続され、テスト回線11から第1セクタ2、デジタル／アナログ変換器3及び第2セクタ5を経由してきたテスト信号を検出するように構成されている。

50 【0043】したがって、テスト回線11を通じ入力したテスト用信号が、第1セクタ2においてデマルチプレクサー24で抽出されたデータと時分割一本化され、デジタル／アナログ変換器3におけるデジタル／ア

ナログ変換ののち、第2セクタ5で再度分離されて、テスト信号検出部12におけるテスト信号検出が行なわれるように構成されている。

【0044】そして、テスト信号検出部12における検出信号を、テスト信号発生部10で発生させたテスト信号と比較監視することにより、故障を検出するように構成されており、発生させたテスト信号と同レベルで同周波数の検出信号が得られるとき、正常状態と判定するように構成されている。このような構成により、第3セクタ6、アナログ/デジタル変換器7、第4セクタ9、第1セクタ2、デジタル/アナログ変換器3および第2セクタ5の正常判定が行なわれるようになっている。

【0045】次に、使用/未使用状態の検出に関する構成について説明すると、13はダイヤル信号発生部(DTMF GEN: Dual Tone Multi Frequency Generator)で、このダイヤル信号発生部13は、第3セクタ6の入力側に接続され、保守用端末4がオンフック又はオフフックになると、オンフック又はオフフックに対応した所望のダイヤル信号、例えば特定のコードやパターンを発生するように構成されている。

【0046】特定のコードは、例えば電話機のOFFHOOK時に「0000」、電話機のONHOOK時に「9999」というように設定されている。14は端末使用/未使用検出部で、この端末使用/未使用検出部14は、第2セクタ5の出力側に接続され、保守用端末4のオンフック又はオフフック状態を示すダイヤル信号から保守用端末4の使用/未使用状態のコード等を検出するように構成されている。

【0047】23は使用/未使用判定部で、この使用/未使用判定部23は、端末使用/未使用検出部14において検出されたコードが「0000」のとき使用開始と判定し、「9999」のとき通信終了の判定を行なうように構成されており、「0000」の検出回数と「9999」の検出回数が一致し、かつ自局が「オンフック(ONHOOK)」であるとき、全ての電話機がオンフックである未使用状態と判定するように構成されている。

【0048】なお、21はダイヤル信号を検出するダイヤル信号検出部であり、22は検出電話番号と端末電話番号とが一致しているかどうかを検出する番号一致検出部である。そして、これらのダイヤル信号発生部13、ダイヤル信号検出部21、端末使用/未使用検出部14、使用/未使用判定部23および番号一致検出部22は、その回路を同一基板上に形成されたカード26として構成され、このカード26が各保守用端末4ごとに装備されている。

【0049】したがって、各保守用端末4ごとに上記の端末使用/未使用検出の動作が行なわれるように構成さ

れている。ついで、回線へのデジタル入出力に関する構成について説明すると、16は第1デジタルインタフェースで、この第1デジタルインタフェース16は、第1セクタ2へ入力される複数の入力ライン1からのデジタルデータを取り出すように構成されている。

【0050】15は第2デジタルインタフェースで、この第2デジタルインタフェース15は、デジタルデータを第4セクタ9の出力側の複数の出力ライン8側へ出力するように構成されている。これにより、デジタル入力は、デジタル/アナログ変換器3やアナログ/デジタル変換器7を経ることなく直接デジタル状態のまま伝送されるように構成されている。

【0051】ところで、18はセクタ制御回路であり、このセクタ制御回路18は、第1セクタ2、第2セクタ5、第3セクタ6および第4セクタ9の切替タイミングを所定の設定条件に従い変更しうるように構成され、後述の図3に示すフローチャートに沿う動作により各セクタの動作タイミングが設定されるようになっている。

【0052】そして、第1セクタ2は、第1セクタ2に入力される複数の入力ライン1のデータ伝送速度よりも速い切替タイミングで切替動作することにより、複数の入力ライン1のデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力しうるように構成されている。また、第4セクタ9が、第4セクタ9から出力される複数の出力ライン8のデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを複数の出力ライン8に低速なパラレルデータとして出力しうるように構成されている。

【0053】さらに、17は高速信号インターフェイスで、この高速信号インターフェイス17はパーソナルコンピュータ等の高速タイミング端末に接続されるべく構成されており、例えば「RS232C」等で形成されて、上記の高速なシリアルデータの入出力が行なわれるようになっている。したがって、通常のデータが64Kb/secで構成され、高速なシリアルデータが128Kb/secで構成されているとすると、高速なシリアルデータは例えばLINE1とLINE2との2回線の双方において低速なパラレルデータとして伝送され、この低速なパラレルデータについて第1セクタ2の切替タイミングを128Kb/secとして動作させることにより、高速信号インターフェイス17において高速なシリアルデータ128Kb/secが得られるように構成されている。

【0054】本実施例のオーダーワイヤ回路は上述のごとく構成されているが、このような回路Cは図4に示す伝送路の模式図のようにして用いられる。すなわち、L(L1, L2)は終端装置(LTE1, LTE2: Li

10

20

30

40

50

ne Terminating Equipment)で、終端装置L (L1, L2)は光伝送路の両端を構成しており、その間に3対の光に対しそれぞれ独立したOW回線が設けられている。

【0055】C (C1)はオーダーワイヤ回路 (REG 1: Regenerator)で、このオーダーワイヤ回路C (C1)は終端装置L (L1)に3本の光伝送路 (LINE1, LINE2, LINE3)を介し接続されており、終端装置L (L1)を介して保守用端末4 (OW1, OW2, OW3)に連結されている。また、オーダーワイヤ回路C (C1)は前述の図2の構成をそ

なえており、保守用端末4としてOW1およびOW2を装備されている。

【0056】さらに、C (C2)はオーダーワイヤ回路で、このオーダーワイヤ回路C (C2)は、オーダーワイヤ回路C (C1)に一端を3本の光伝送路 (LINE1, LINE2, LINE3)を介し接続されるとともに、他端を終端装置L (L1)に接続されており、終端装置L (L1)を介して保守用端末4 (OW1, OW2, OW3)に連結されている。

【0057】また、オーダーワイヤ回路C (C2)は前述の図2の構成において保守用端末4としてOW1を装備されている。このように終端装置L (L1, L2)とオーダーワイヤ回路C (C1, C2)とを3本の光伝送路で連結する構成により、一例として次のような動作が行なわれる。

【0058】まず、光伝送路 (LINE1)をすべての装置の保守用端末4 (OW1)に接続する。この接続動作は、オーダーワイヤ回路C (C1)においては、セクタ制御回路18の設定により第1セクタ2を切替え、光伝送路 (LINE1)を第1セクタ2において選択して、デジタル/アナログ変換器3、第2セクタ5およびアナログブリッジ20を介し保守用端末4のOW1を連結することにより行なわれる。

【0059】また、オーダーワイヤ回路C (C2)および終端装置L (L1, L2)においてもほぼ同様な動作により接続が行なわれる。つぎに、光伝送路 (LINE2)を、上述と同様にして終端装置L (L1, L2)およびオーダーワイヤ回路C (C1)における保守用端末4のOW2に接続し、オーダーワイヤ回路C (C2)についてはスルーとする。

【0060】すなわち、オーダーワイヤ回路C (C2)においては、セクタ制御回路18の設定変更により第1セクタ2を切り替えて、光伝送路 (LINE2)をスルー回路19に接続する。これにより、オーダーワイヤ回路C (C2)は、光伝送路 (LINE2)に関し独立した状態となる。

【0061】そして、光伝送路 (LINE3)を、終端装置L (L1, L2)の保守用端末4におけるOW3に接続するとともに、オーダーワイヤ回路C (C1)およ

びオーダーワイヤ回路C (C2)についてはスルーとする。すなわち、オーダーワイヤ回路C (C1)およびオーダーワイヤ回路C (C2)においては、セクタ制御回路18の設定変更により第1セクタ2を切り替えて、光伝送路 (LINE2)をスルー回路19に接続する。

【0062】これにより、オーダーワイヤ回路C (C1)およびオーダーワイヤ回路C (C2)は、光伝送路 (LINE2)に関し独立した状態となる。このような状態では、終端装置L (L1, L2)およびオーダーワイヤ回路C (C1, C2)のすべてについて保守用端末4のOW1が接続されたOW回線が形成され、従来と同様の交信が行なわれる。

【0063】また、保守用端末4のOW2については、終端装置L (L1, L2)とオーダーワイヤ回路C (C1)とにおいて接続され、オーダーワイヤ回路C (C2)においては接続されないOW回線が形成され、終端装置L (L1, L2)とオーダーワイヤ回路C (C1)とにおけるOW2を介しての交信が行なわれる。さらに、保守用端末4のOW3については、終端装置L (L1, L2)において接続され、オーダーワイヤ回路C (C1)とオーダーワイヤ回路C (C2)とにおいては接続されないOW回線が形成され、終端装置L (L1, L2)相互間におけるOW3を介しての交信が行なわれる。

【0064】このように、セクタ制御回路18による各セクタの切り替えにより、特定局間のみの回線が形成されるようになり、従来のように他局の交信が終了するのを待つような不具合が解消される。ところで、セクタ制御回路18における設定動作は、図3のフローチャートに沿い次のように行なわれる。

【0065】まず、ステップS1において入力ライン1 (LINE1, LINE2, LINE3...)がそれぞれOW機能を使用するか否かが、各ラインごとに設定され、各セクタの切り替え設定が行なわれるとともに、OW機能を使用しないラインについてはスルー回路19に接続すべき設定が行なわれる (ステップS2)。ついで、ステップS3において、OWを使用するLINEをOW回線に接続する各セクタの切り替えが行なわれる。

【0066】そして、入力ライン1 (LINE1, LINE2, LINE3...)の所望ラインについて冗長構成とするかどうかの判断が行なわれ (ステップS4)、冗長構成を取ったLINEについて、状態の良いものを選択してOW回路に接続するセクタ動作が行なわれる (ステップS5)。また、冗長構成としないLINEについては、独立したOW回路への接続動作が各セクタにより行なわれる (ステップS6)。

【0067】次に、各OW回路についてアラーム設定の有無が判断され (ステップS7)、もしアラームがある

10

20

30

40

50

回路については、データの放棄が行なわれる（ステップS8）。ついで、入力したデータがアナログデータであるかデジタルデータであるかの判断が行なわれ（ステップS9）、アナログデータである場合にはアナログインターフェイスの選択が行なわれる（ステップS10）。

【0068】そして、使用／未使用判定部23によるオンフック／オフフックの判定結果が参照され、OW回路に接続もしくはスルー回路19に接続可能かどうか判断されて（ステップS14）、オーダーワイヤ回路（REG）かつONHOOKのときスルー回路19への接続が行なわれる（ステップS16）。また、終端装置（LTE）およびOFFHOOKのときOW回路への接続が行なわれる（ステップS15）。

【0069】一方、入力されたデータがデジタルデータである場合には、ステップS9からステップS11が実行され、データ伝送速度の設定が通常であるか高速であるかの参照および判断が行なわれて、通常速度の場合には第1デジタルインタフェース16、第2デジタルインタフェース15を選択するセクタ動作が行なわれる（ステップS12）。

【0070】また、データ伝送速度の設定が高速である場合には、高速信号に対応したセクタ動作が行なわれるとともに、高速信号インターフェイス17の速度設定が行なわれる（ステップS13）。ここで、高速信号インターフェイス17の設定速度は、第1セクタ2の切り替え速度が通常速度のn倍のとき、「 $64 \times n$ 」bit/secに設定される。

【0071】このようなセクタ制御回路18の動作により、オーダーワイヤ回路C（C1）では次のような各種動作が行なわれる。まず、OWデータの伝送については、入力ライン1からの入力信号からDMUX回路24においてOWデータが抽出される。抽出されたデータはセクタ2において時分割化（TSS）により一本の信号にまとめられて出力される。

【0072】この出力はデジタル／アナログ変換器3においてデジタル／アナログ変換され、アナログシリアルデータの状態で第2セクタ5に入力する。この入力、第2セクタ5の動作により各OW回線ごとに分離され、それぞれのアナログブリッジ20に入力し、ここで外部入出力にインターフェイスする。

【0073】装置外部からのアナログ入出力は、保守用端末4を通じてアナログブリッジ20において行なわれ、レベル調整を行なったのち第3セクタ6へ出力される。そして、第3セクタ6の動作により、各信号が時分割化（TSS）により一本の信号にまとめられて出力される。この一本化されたアナログシリアルデータは、アナログ／デジタル変換器7においてアナログ／デジタル変換され、第4セクタ9に出力される。

【0074】第4セクタ9への入力は、第4セクタ

9の動作により各出力ライン8ごとに分離され、マルチプレクサ25により主信号に多重されて次のユニットに出力されている。このようにしてOWデータの伝送が行なわれる。一方、オーダーワイヤ回路C（C1）の故障検出については次のような動作が行なわれる。

【0075】まず、テスト信号発生部10によるテスト用信号が、ある特定の周波数で所要出力レベルの正弦波として生成され、第3セクタ6に入力される。テスト用信号は第3セクタ6における時分割動作によりアナログブリッジ20からのアナログ信号と一本化される。そして、テスト用信号と一本化されたアナログ信号は、アナログ／デジタル変換器7においてアナログ／デジタル変換されたのち第4セクタ9に入力され、第4セクタ9の動作により一本化されたアナログ信号からテスト用信号が分離される。

【0076】さらにテスト信号発生部10から第3セクタ6、アナログ／デジタル変換器7及び第4セクタ9を経由してきたテスト信号は、テスト回線11を通じて第1セクタ2へ入力される。テスト回線11を通じて入力したテスト用信号は、第1セクタ2においてデマルチプレクサー24で抽出されたデータと時分割一本化され、デジタル／アナログ変換器3におけるデジタル／アナログ変換ののち、第2セクタ5で再度分離されて、テスト信号検出部12におけるテスト信号検出が行なわれる。

【0077】そして、テスト信号検出部12における検出信号を、テスト信号発生部10で発生させたテスト信号と比較監視することにより、故障が検出され、発生させたテスト信号と同周波数で同レベルの信号検出が行なわれたとき、正常状態の判定が行なわれる。これにより、第3セクタ6、アナログ／デジタル変換器7、第4セクタ9、第1セクタ2、デジタル／アナログ変換器3および第2セクタ5の正常判定が行なわれる。

【0078】そして、回線の使用／未使用状態の検出動作は次のように行なわれる。

【0079】まず、各保守用端末4（OW1、OW2）ごとのダイヤル信号発生部13において、それぞれオンフック又はオフフックに対応した所望のダイヤル信号、例えば特定のコードやパターンが発生し、アナログブリッジ20に入力される。ここで、入力される特定のコードは、例えば電話機のOFFHOOK時に「0000」、電話機のONHOOK時に「9999」というように設定される。

【0080】このような各ダイヤル信号が、第3セクタ6で他の信号と時分割により一本化され、アナログ／デジタル変換器7においてアナログ／デジタル変換されて第4セクタ9に入力される。そして、第4セクタ9により各OW回線ごとに分離され、マルチプレクサ25により主信号と多重化されて出力ライン8へ出力

されていく。

【0081】これにより、当該オーダーワイヤ回路C (C1)における回線使用状況が伝送路内における他の装置に伝達されることとなる。そして、伝送路内における他の装置との関係における回線の使用/未使用検出は次のように行なわれる。まず、入力ライン1からデマルチプレクサー24、第1セクタ2およびデジタル/アナログ変換器3を通じて入力した端末使用/未使用に対応するダイヤル信号が第2セクタ5において分離され、アナログブリッジ20を通じてダイヤル信号検出部21に入力される。

【0082】そして、端末使用/未使用検出部14において、ダイヤル信号から保守用端末4の使用開始/通信終了状態のコード等を検出し、使用/未使用判定部23において、端末使用/未使用検出部14において検出されたコードが「0000」のとき使用開始と判定し、

「9999」のとき通信終了の判定を行なう動作が行なわれる。

【0083】すなわち、「0000」の検出回数と「9999」の検出回数とが一致し、かつ自局が「オンフック (ONHOOK)」であるとき、全ての電話機がオンフックの未使用状態であるとの判定が行なわれる。この判定情報を参照して、所望の回線選択および交信が行なわれる。ついで、回線へのデジタル入出力に関する動作は次のように行なわれる。

【0084】まず、入力すべき各デジタルデータは、第1デジタルインタフェース16のそれぞれへ入力され、各々がマルチプレクサ25による主信号との多重化の後、出力ライン8へ出力されていく。一方、各回線におけるデジタルデータは、入力ライン1から第2デジタルインタフェース15を通じ入力される。

【0085】これにより、デジタルデータはデジタル/アナログ変換器3やアナログ/デジタル変換器7等を経ることなく直接デジタル状態のまま伝送される。そして、高速のデジタル信号については、高速信号インターフェイス17を通じ入力され、第4セクタ9を介し通常速度のデジタル信号と同様に出力ライン8へ出力されるが、第4セクタ9における動作により、高速伝送が実現される。

【0086】すなわち、第4セクタ9が、第4セクタ9から出力される複数の出力ライン8のデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを複数の出力ライン8に低速なパラレルデータとして出力される。したがって、通常のデータが64Kb/secで構成され、高速なシリアルデータが128Kb/secで構成されているとすると、高速なシリアルデータは例えばLINE1とLINE2との2回線の双方において低速なパラレルデータとして伝送される。

【0087】一方、回線からの高速デジタルデータの

取り込みについては、次のように行なわれる。すなわち、LINE1とLINE2との2回線で伝送されている高速デジタルデータに対応した低速なパラレルデータが、入力ライン1からデマルチプレクサー24で分離された後、第1セクタ2に入力される。

【0088】そして、第1セクタ2が、第1セクタ2に入力される複数の入力ライン1のデータ伝送速度よりも速い切替タイミングで切替動作することにより、複数の入力ライン1のデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力する。したがって、LINE1とLINE2との2回線における低速なパラレルデータに関し、第1セクタ2の切替タイミングを128Kb/secとして動作させることにより、高速信号インターフェイス17において高速なシリアルデータ128Kb/secが出力される。

【0089】このようにして、パソコン等のようなデジタルデータの高速伝送を必要とする端末についても、所望の伝送速度が実現されるようになって、デジタル動作機器の特性を十分に発揮させる状態での接続が可能となる。また、伝送容量をあらかじめ規定された通常のものから容易に大きくすることができる。

【0090】このように、本実施例によれば、OW回線の装置外部へのインターフェイスは、アナログ・デジタルともに有しているため、電話機などアナログ信号で動作している機器のみならずパソコンなどデジタル信号で動作している機器もそのまま接続して、OW回線でデータを伝送することが可能である。また、各伝送線路ごとに個別にデータを送ることも、複数の伝送線路をひとまとめとしてデータをパラレル伝送することにより大容量データ伝送を行なうことも可能である。

【0091】

【発明の効果】以上詳述したように、本発明のオーダーワイヤ回路(請求項1)によれば、オーダーワイヤデータをデジタルデータで伝送する複数の入力ラインに入力側を接続されるときに、これらの入力ラインのオーダーワイヤデータを選択的に出力しうる第1セクタと、該第1セクタの一方から出力されたオーダーワイヤデータをデジタル/アナログ変換するデジタル/アナログ変換器と、該デジタル/アナログ変換器からのデータを複数の保守用端末に選択的に出力する第2セクタと、該複数の保守用端末からのアナログオーダーワイヤデータを選択的に出力する第3セクタと、該第3セクタで選択的に出力された該複数の保守用端末からのアナログオーダーワイヤデータをアナログ/デジタル変換するアナログ/デジタル変換器と、該アナログ/デジタル変換器からのデジタルオーダーワイヤデータを入力として、オーダーワイヤデータをデジタルデータで伝送する複数の出力ラインに選択的に出力する第4セクタとをそなえて構成されるという簡素な構

成で、次のような効果ないし利点が得られる。

【0092】①各セレクトの切り替えにより、特定のOW回線とアクセスできる装置を自由に設定できるため、特定局間のみの回線を形成しうようになり、従来の全局間が接続されるために発生する不具合、即ち他局が使用中の際は他局の交信が終了するのを待たなければ使用できないような不具合が解消される。

②オーバーヘッドバイト(OHB)に規定されたOW通信バイトが必要な回線数より少なくとも独立したOW回線を小型化した回路で複数用意できる。

【0093】また、本発明のオーダーワイヤ回路(請求項2)によれば、請求項1に記載の発明につき、該第3セレクトの入力側に接続されたテスト信号発生部と、該第4セレクトの出力側と該第1セレクトの入力側とを接続して、該テスト信号発生部から該第3セレクト、該アナログ/デジタル変換器及び該第4セレクトを経由してきたテスト信号を通すためのテスト回線と、該第2セレクトの出力側に接続され、該テスト回線から該第1セレクト、該デジタル/アナログ変換器及び該第2セレクトを経由してきたテスト信号を検出するテスト信号検出部とが設けられるという簡素な構成で、請求項1の効果に加えて、回線の故障検出を容易に行なえる。

【0094】本発明のオーダーワイヤ回路(請求項3)によれば、請求項1に記載の発明につき、該第3セレクトの入力側に接続され、該保守用端末がオンフック又はオフフックになると、オンフック又はオフフックに対応した所望のダイヤル信号を発生するダイヤル信号発生部と、該第2セレクトの出力側に接続され、保守用端末のオンフック又はオフフック状態とダイヤル信号とから保守用端末の使用/未使用状態を検出する端末使用/未使用検出部とが設けられるという簡素な構成で、請求項1の効果に加えて、各回線の使用/未使用の検出を容易に行なえるようになる。

【0095】本発明のオーダーワイヤ回路(請求項4)によれば、請求項1に記載の発明につき、該第1セレクトへ入力される該複数の入力ラインからのデジタルデータを取り出す第1デジタルインタフェースが設けられるとともに、デジタルデータを第4セレクトの出力側の該複数の出力ライン側へ出力する第2デジタルインタフェースが設けられるという簡素な構成で、請求項1の効果に加えて、OW回線の装置外部へのインターフェイスは、アナログ・デジタルともに有しているため、電話機などアナログ信号で動作している機器のみならずパソコンなどデジタル信号で動作している機器もそのまま接続して、OW回線でデータを伝送することが可能となる。

【0096】本発明のオーダーワイヤ回路(請求項5)によれば、請求項1に記載の発明につき、該第1セレクトが、該第1セレクトに入力される該複数の入力ラインのデータ伝送速度よりも速い切替タイミングで切替動作

することにより、該複数の入力ラインのデータをパラレルデータとして、これらの低速パラレルデータを高速なシリアルデータとして出力しうように構成されるという簡素な構成で、請求項1の効果に加えて、各伝送線路ごとに個別にデータを送ることも、複数の伝送線路をひとまとめとしてデータをパラレル伝送することにより大容量データ伝送を行なうことも可能となる。

【0097】本発明のオーダーワイヤ回路(請求項6)によれば、請求項1に記載の発明につき、該第4セレクトが、該第4セレクトから出力される該複数の入力ラインのデータ伝送速度よりも速い切替タイミングで切替動作することにより、高速なシリアルデータを該複数の出力ラインに低速なパラレルデータとして出力しうように構成されるという簡素な構成で、請求項1の効果に加えて、各伝送線路ごとに個別にデータを送ることも、複数の伝送線路をひとまとめとしてデータをパラレル伝送することにより大容量データ伝送を行なうことも可能となる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

【図2】本発明の一実施例を示すブロック図である。

【図3】本発明の一実施例の要部動作を示すフローチャートである。

【図4】本発明のオーダーワイヤ回路の一使用例を示すブロック図である。

【図5】従来例を示すブロック図である。

【符号の説明】

- 1 入力ライン
- 2 第1セレクト
- 3 デジタル/アナログ変換器
- 4 保守用端末
- 5 第2セレクト
- 6 第3セレクト
- 7 アナログ/デジタル変換器
- 8 出力ライン
- 9 第4セレクト
- 10 テスト信号発生部
- 11 テスト回線
- 12 テスト信号検出部
- 13 ダイヤル信号発生部
- 14 端末使用/未使用検出部
- 15 第2デジタルインタフェース
- 16 第1デジタルインタフェース
- 17 高速信号インターフェイス
- 18 セレクト制御回路
- 19 スルー回路
- 20 アナログブリッジ
- 21 ダイヤル信号検出部
- 22 番号一致検出部
- 23 端末使用/未使用判定部

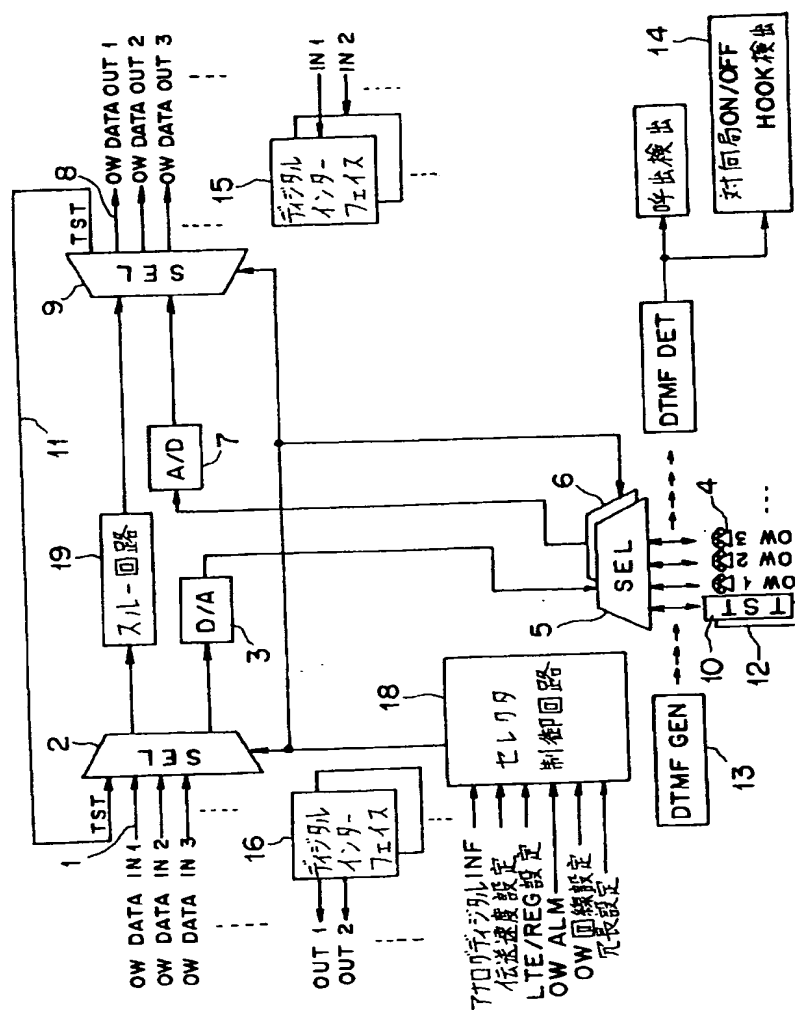
19

- 24 デマルチプレクサー
- 25 マルチプレクサ
- 26 カード
- 101 入力ライン
- 102 デジタル処理部
- 103 デジタル/アナログ変換器

- 104 アナログ処理部
- 105 アナログ/デジタル変換器
- 106 出力ライン
- 107 アナログ入力ライン
- 108 アナログ出力ライン

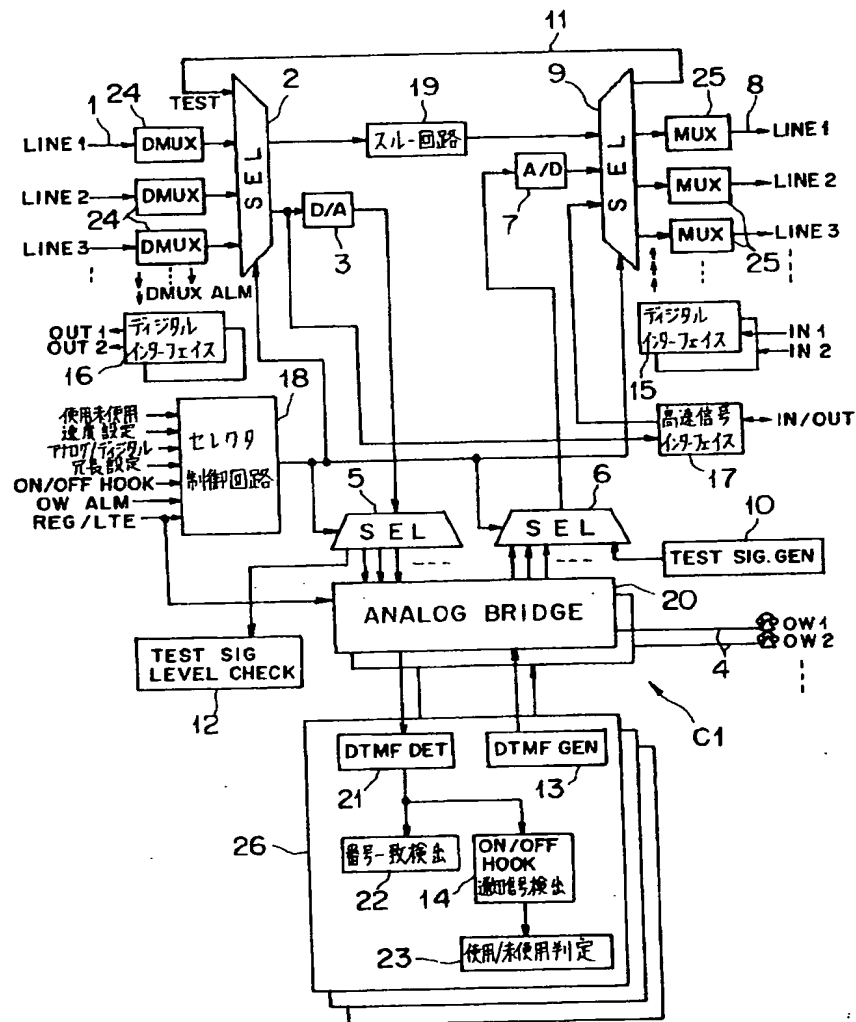
【図1】

本発明の原理ブロック図



【図2】

本発明の一実施例を示すブロック図



【図3】

本発明の一実施例の要部動作を示すフローチャート

